

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08076721 A**(43) Date of publication of application: **22.03.96**J1017 U.S. PTO
10/072616

02/07/02

(51) Int. Cl

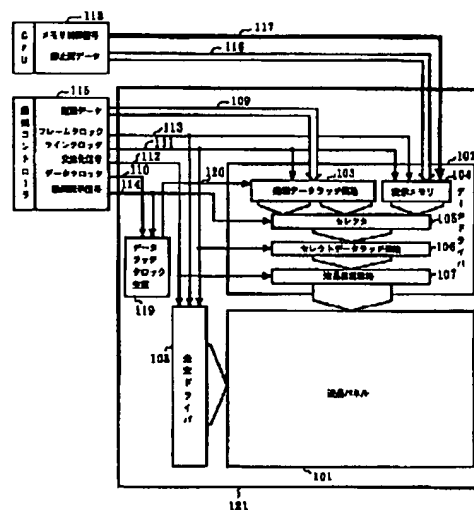
G09G 3/36
H04N 5/66(21) Application number: **06215581**(22) Date of filing: **09.09.94**(71) Applicant: **HITACHI LTD HITACHI VIDEO IND
INF SYST INC**(72) Inventor:
KUDO YASUYUKI
MANO HIROYUKI
FURUHASHI TSUTOMU
TSUNEKAWA SATORU
FUTAMI TOSHIO
NISHITANI SHIGEYUKI
OISHI SUMIHISA
INUZUKA TATSUHIRO(54) **MATRIX PANEL DISPLAY DEVICE**

(57) Abstract:

PURPOSE: To provide a matrix display device which realizes a lower electric power consumption in matrix display devices which display particularly animation images and static images in combination.

CONSTITUTION: The data interface of a data driver 102 is provided with a memory 104 which is provided with two ports for the static images and the moving images, stores the static image data from a CPU 118 and simultaneously outputs the data for one scanning electrode-component, a data latching circuit 103 which latches the moving image data and simultaneously outputs the one scanning electrode-component and a selector means 105 which selects either of both pieces of the output data by a moving image display position signal and outputs the data to a liquid crystal driving circuit. The data interface is provided with a circuit for masking the latch clock of the moving image data at the time of displaying only the static images.

COPYRIGHT: (C)1996,JPO



特開平 8 - 7 6 7 2 1

(43)公開日 平成8年(1996)3月22日

101017 U.S. PTO
10/072616
02/07/02

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

G09G 3/36

H04N 5/66

102

B

審査請求 未請求 請求項の数 13 O L (全 15 頁)

(21)出願番号

特願平 6 - 2 1 5 5 8 1

(22) 出願日

平成6年(1994)9月9日

(71)出願人 0 0 0 0 0 5 1 0 8

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 0 0 0 2 3 3 1 3 6

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72)発明者 工藤 泰幸

神奈川県川崎市麻生区王禅寺1099番地

株式会社日立製作所システム開発研究所内

(72) 發明者 ▲真▼野 宏之

神奈川県川崎市麻生区王禅寺1099番地

株式会社日立製作所システム開発研究所内

(74) 代理人 弁理士 小川 勝男

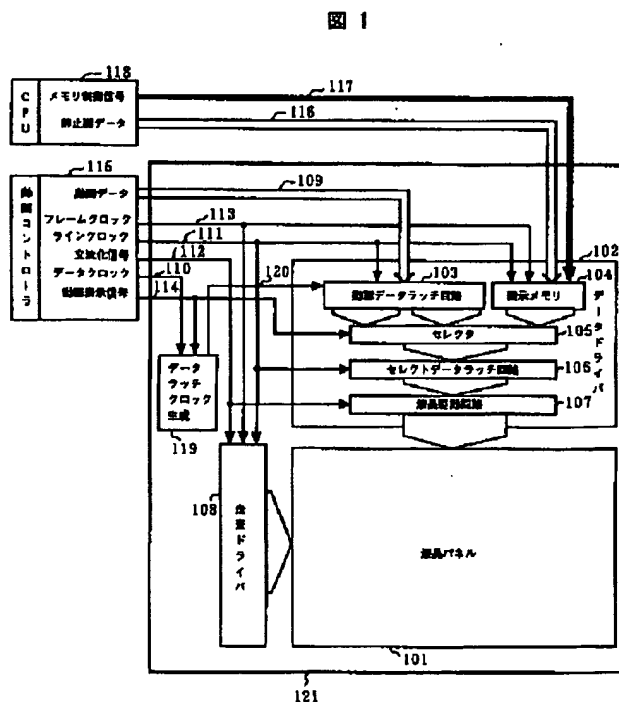
[最終頁に続く](#)

(54) 【発明の名称】マトリックスパネル表示装置

(57) 【要約】

【目的】本発明は、マトリックス表示装置に係わり、特に動画像と静止画像とを混在表示するマトリックス表示装置において、低消費電力化を実現するマトリックス表示装置を提供することにある。

【構成】データドライバのデータインターフェースを静止画面用と動画用の2ポート設け、CPUからの静止画データを格納し、1走査電極分のデータを同時に出力するメモリと、動画データをラッチし、1走査電極分同時に出力する、データラッチ回路と、双方の出力データのどちらかをを動画表示位置信号により選択し液晶駆動回路に出力するセレクト手段を設けた。また、静止画のみ表示する時は動画データのラッチクロックをマスクする回路を設けた。



1

【特許請求の範囲】

【請求項 1】直交する走査電極とデータ電極の交点で 1 ドットを構成する液晶パネルと、該データ電極に表示情報に従いデータ電圧を印加するデータ電圧駆動手段と、該走査電極に選択電圧と非選択電圧を印加する走査電圧駆動手段、

とからなるマトリックスパネル表示装置において、

該データ電圧駆動手段は、

異なるソースから転送される表示データ群を独立して入力する、複数の表示データインターフェースと、

該表示データ的一方を記憶し、1 走査電極上の表示データを同時に出力する表示メモリと、

該表示データの他方を 1 走査電極分ラッチし、その後同時に出力するデータラッチ手段と、

該表示メモリとデータラッチ手段から出力される表示データのうち、どちらか一つを選択して出力する重ね合わせ手段と、

該重ね合わせ手段から出力される表示データと、正極性、負極性の駆動を指示する交流化信号の組み合わせに従い、電圧を選択して出力する液晶駆動手段を有すること

を特徴とする、マトリックスパネル表示装置。

【請求項 2】請求項 1 のマトリックスパネル表示装置において、

前記データラッチ手段に送られる表示データは、

表示オン、表示オフを表すデータの他に、

表示位置を表す位置データとを有し、

該位置データは、前記重ね合わせ手段の選択動作を決定する信号であることを特徴とする、マトリックスパネル表示装置。

【請求項 3】請求項 2 のマトリックスパネル表示装置において、

前記データラッチ手段に送られる表示データは動画であり、

該動画は動画コントローラから転送され、

前記表示メモリに送られる表示データは静止画であり、

該静止画は CPU から転送されることを特徴とする、マトリックスパネル表示システム。

【請求項 4】請求項 3 のマトリックスパネル表示システムにおいて、

前記動画コントローラは、

動画ファイルから転送される動画データをマトリックスパネル表示用のデータに変換し、

前記データ電圧駆動手段と前記走査電圧駆動手段を制御する信号を生成し、前記 CPU から転送される表示位置データを、動画の表示中を示す動画表示信号と、前記位置データに変換することを特徴とするマトリックスパネル表示コントローラ。

【請求項 5】請求項 3 のマトリックスパネル表示システムにおいて、

前記動画コントローラは、

2

動画を表示するラインのみ、動画データ、およびデータラッチクロックを出力することを特徴とするマトリックスパネル表示コントローラ。

【請求項 6】請求項 5 のマトリックスパネル表示システムにおいて、

前記データラッチ手段は、前記ラインクロックでリセットされ、

そのリセット値は、前記重ね合わせ手段が、前記静止画を選択する値と等しいことを特徴とするマトリックスパネル表示装置

【請求項 7】請求項 4 のマトリックスパネル表示システムにおいて、

前記動画コントローラは、1 ドット当り複数ビットの階調データを出力し、

階調データをマトリックスパネルの階調表示用に変換し、前記データ電圧駆動手段に出力するための階調処理手段を有することを特徴とするマトリックスパネル表示システム。

【請求項 8】請求項 1 のマトリックスパネル表示装置において、

前記データラッチ手段が前記表示データをラッチするための前記データラッチクロックを、前記動画表示信号に応じてマスクする手段を有することを特徴とする、マトリックスパネル表示装置。

【請求項 9】請求項 1 のマトリックスパネル表示装置において、

前記表示メモリが、表示データバス、アドレスバス、制御信号メモリ制御信号バスを有し、

これらは汎用のインターフェースであることを特徴とする、データ電圧駆動手段 L S I。

【請求項 10】請求項 9 のデータ電圧駆動手段 L S I において、

前記表示メモリが出力する前記 1 走査電極分の表示データと、前記データラッチ手段が出力する前記 1 走査電極分の表示データは、同一走査電極用の表示データであり、

前記表示メモリが表示データを出力するタイミングと、前記データラッチ手段が表示データを出力するタイミングは同一であることを特徴とする、データ電圧駆動手段 L S I。

【請求項 11】請求項 10 のデータ電圧駆動手段 L S I において、入力信号は前記異なるソースから転送される表示データ群と、

前記表示メモリを動作させる、前記表示データバス、前記アドレスバス、前記制御信号メモリ制御信号バスと、前記表示メモリからの読みだし位置を決定するフレームクロックと、

前記表示メモリが表示データを出力するタイミング、および前記データラッチ手段が表示データを出力するタイミングを決定するラインクロックと、

10

20

30

40

50

前記データラッチ手段が前記表示データをラッチするためのデータラッチクロックと、

動画表示中であることを示す前記動画表示信号と、

前記正極性、負極性の駆動を指示する交流化信号であることを特徴とする、データ電圧駆動手段 L S I。

【請求項 1 2】直交する走査電極とデータ電極の交点で 1 ドットを構成する液晶パネルと、

該データ電極に表示情報に従いデータ電圧を印加するデータ電圧駆動手段と、

該走査電極に選択電圧と非選択電圧を印加する走査電圧駆動手段、

とからなるマトリックスパネル表示装置において、

該データ電圧駆動手段は、

異なるソースから転送される 1 ドット当り複数の階調ビットを有する表示データ群を独立して入力する、複数の表示データインターフェースと、

1 ドット当り複数の階調ビットを有する該表示データの一方を記憶し、1 走査電極上の表示データを階調ビット別に同時に出力する表示メモリと、

1 ドット当り複数の階調ビットを有する該表示データの他方を 1 走査電極分取り込み、その後階調ビット別に同時に出力するデータラッチ手段と、

表示メモリとデータラッチ手段から出力される表示データのうち、どちらか一つを選択して階調ビット別に出力する重ね合わせ手段と、

マトリックスパネルの階調表示用に、階調ビットのデータを変換する階調処理手段と、

該階調処理手段から出力される表示データと、正極性、負極性の駆動を指示する交流化信号の組み合わせに従い、電圧を選択して出力する液晶駆動手段を有することを特徴とする、マトリックスパネル表示装置。

【請求項 1 3】直交する走査電極とデータ電極の交点で 1 ドットを構成する液晶パネルと、

該データ電極に表示情報に従いデータ電圧を印加するデータ電圧駆動手段と、

該走査電極に選択電圧と非選択電圧を印加する走査電圧駆動手段、

とからなるマトリックスパネル表示装置において、

該データ電圧駆動手段は、

異なるソースから転送される 1 ドット当り複数の階調ビットを有する表示データ群を独立して入力する、複数の表示データインターフェースと、

1 ドット当り複数の階調ビットを有する該表示データの一方を記憶し、1 走査電極上の表示データを階調ビット別に同時に出力する表示メモリと、

1 ドット当り複数の階調ビットを有する該表示データの他方を 1 走査電極分取り込み、その後階調ビット別に同時に出力するデータラッチ手段と、

表示メモリとデータラッチ手段から出力される表示データのうち、どちらか一つを選択して階調ビット別に出力

する重ね合わせ手段と、

該重ね合わせ手段から出力される階調ビット別の表示データと、正極性、負極性の駆動を指示する交流化信号の組み合わせに従い、電圧を選択して出力する液晶駆動手段を有することを特徴とする、マトリックスパネル表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、マトリックス表示装置に係り、特に動画像と静止画像とを混在表示するマトリックスパネル表示装置に関する。

【 0 0 0 2 】

【従来の技術】従来の液晶表示装置は、日立 L C D ドライバ L S I データブック第 6 版、P 3 6 7 (日立製作所半導体事業部発行)に記載されている。従来の液晶表示装置の構成を図 2 を用いて説明する。図 2 において、2 0 1 は液晶パネルであり本例では縦 M ドット、横 N ドットで構成されるものとする。2 0 2 は日立製 H D 6 6 2 1 4 に代表されるデータドライバであり、2 0 2 a はデータラッチ回路、2 0 2 b は液晶駆動回路である。、2 0 3 は日立製 H D 6 6 2 0 5 に代表される走査ドライバであり、2 0 3 a はシフトレジスタ回路、2 0 3 b は液晶駆動回路である。また、2 0 4 は液晶表示データ、2 0 5 はフレームクロック、2 0 6 はラインクロック、2 0 7 はデータラッチクロック、2 0 8 は交流化信号である。2 0 9 は日立製 H D 6 6 8 4 0 に代表される液晶コントローラであり、2 1 0 は表示システムから供給される C R T 用表示データ、2 1 1 は、表示システムから供給される同期信号群である。さらに、2 1 2 は 2 0 1 ~ 2 1 1 を含む液晶表示装置である。

【 0 0 0 3 】データドライバ 2 0 2 において、データラッチ回路 2 0 2 a は、液晶表示データ 2 0 4 をデータラッチクロック 2 0 7 で順次ラッチし、1 走査電極分の液晶表示データを取り込むと、これらをラインクロック 2 0 6 の立下がりに同期して同時に出力する。また、液晶駆動回路 2 0 2 b は、データラッチ回路 2 0 2 a からの表示データと、交流化信号 2 0 8 との組み合わせに応じて適当な液晶駆動電圧を選択し、液晶パネルのデータ電極に出力する。一方、走査ドライバ 2 0 3 において、シフトレジスタ回路 2 0 3 a は、フレームクロック 2 0 5 の " ハイ " 期間をラインクロック 2 0 6 の立下がりを取り込み、その後ラインクロック 2 0 6 によって取り込みデータをシフトする。液晶駆動回路 2 0 3 b は、シフトレジスタ回路 2 0 3 a からのデータと、交流化信号 2 0 8 との組み合わせに応じて適当な液晶駆動電圧を選択し、液晶パネルの走査電極に出力する。さらに、液晶コントローラ 2 0 9 は、C R T 表示用表示データ 2 1 0、垂直同期信号、水平同期信号等の同期信号群 2 1 1 (例えば C R T 表示用の標準ビデオモードである V G A モードに対応している) から、前記液晶用表示データ 2 0 4、お

よびドライバ制御信号群 205~208 を生成する。これらの動作により、CRT 表示用表示画像を液晶パネルの所望する位置に表示することができる。

【0004】さて、近年のマルチメディアの普及化に伴い、異なる種類の画像情報を同時に表示することが多くなってきている。例えば、図 3 に示すように、テキスト表示等の静止画の中にアニメーション等の動画のウィンドウを重ね合せて表示する場合がある。この様な重ね合わせ画面を、先に説明した液晶表示装置を用いて表示する小型情報機器の表示システム構成例を図 4 に示す。図 4 において、401 は CPU、402 は CPU 出力データ、403 は静止画用表示コントローラ制御信号群、404 は静止画用表示コントローラ、405 は静止画メモリ、406 は静止画データ、407 は静止画同期信号群であり、408 は動画ファイル、409 は動画表示命令、410 は動画ファイル出力データ、411 は動画用表示コントローラ制御信号群、412 は動画用表示コントローラ、413 は動画メモリ、414 は動画データ、415 は動画同期信号群であり、416 は重ね合わせ手段である。静止画用表示コントローラは 402 は、CPU 401 から出力される CPU 出力データ 402、および静止画用表示コントローラ制御信号群 403 を受け、CPU 出力データ 402 を静止画メモリ 405 を介して CRT 表示用の静止画データ 406 として出力すると共に、静止画同期信号群 407 を出力する。一方、動画ファイル 408 は、CPU 401 から動画表示命令 409 を受けると、動画ファイル出力データ 410 を出力する。そして、動画用表示コントローラは 411 は、動画ファイル出力データ 410、および静止画用表示コントローラ制御信号群 403 を受け、動画ファイル出力データ 410 を動画メモリ 413 を介して CRT 表示用の動画データ 414 として出力すると共に、動画同期信号群 415 を出力する。静止画データ 406、静止画同期信号群 407、および動画データ 414、動画同期信号群 415 は、それぞれ重ね合わせ手段 416 に送られ、重ね合わせ手段 416 では CPU が指定する画面上の任意の位置に動画が表示されるように、動画と静止画の重ね合わせを行う。この重ね合わせデータが液晶表示装置 212 へ送られる構成となる。これにより、液晶表示装置 212 は、転送されてくる表示データを、動画像、静止画像に関係なく液晶パネルの所望する位置に表示することができる。

【0005】

【発明が解決しようとする課題】従来の小型情報機器のシステムにおいて、CPU から送られる表示データは、上述したように、液晶ドライバへ転送されるまでに複数のメモリやデータ変換回路を介しているため、この部分で電力を消費する。また、表示データの転送方法を考えると、CPU から送られる表示データは、その内容が変化した時のみ転送されるのに対し、液晶データドライバ

へは、内容の変化に関係なく常に表示データを転送している。この転送周波数は、一般に数 MHz と高速なため、データドライバにおいては、この転送データを取り込むデータラッチ回路の消費電力が大きい。

【0006】この課題を解決する方法として、日立製 HD 66108 に代表されるメモリ内蔵ドライバがある。このメモリ内蔵ドライバを用いた小型情報機器の表示システム構成を図 5 に示す。図 5 において、501 はメモリ内蔵ドライバを備えた液晶表示装置、502 はメモリを内蔵した液晶データドライバ、503 は表示メモリ、504 は走査ドライバ、505 はドライバ内で生成されるドライバ制御信号群である。

【0007】このメモリ内蔵ドライバ 501 において、表示メモリ 503 は汎用のインターフェースを持ち、CPU 401 から送られる表示データを直接取り込むことが可能である。また、表示メモリ 503 は、従来例で示した液晶データドライバ 202 におけるデータラッチ回路 202a と同様、ドライバ制御信号群 505 の 1 つであるラインクロックの立下がりに同期して、1 ライン分の表示データを同時に出力する。したがって、従来例で示した液晶表示装置システムに対し、表示データが液晶ドライバへ転送されるまでのメモリやデータ変換回路が不要となり、また、データドライバにおいても、表示データの取り込みはデータの変化時のみとなり、動作周波数も数十 KHz となる。したがって、システムおよびデータドライバの消費電力を低減することができる。

【0008】しかし、この方法は CPU から送られるいわゆる静止画についてのみ適応するものであり、従来例で述べた静止画と動画を重ね合わせて表示するシステムには対応していない。もしこれを実現するためには、液晶表示装置外部に静止画、動画用表示コントローラと重ね合わせ手段が必要となり、システム消費電力が再び上昇する問題がある。

【0009】本発明の目的は、上記のように静止画と動画を重ね合わせて表示するシステムにおいても、システムの消費電力を抑えることの可能な、液晶ドライバを提供することである。

【0010】

【課題を解決するための手段】上記課題である静止画と動画を重ね合わせ、かつ低消費電力で表示することを考える。まず、静止画に対し、データドライバおよびシステムの消費電力を抑えるためには、上述した様にデータドライバ内にメモリを内蔵すれば良い。次に、静止画と動画の重ね合わせに対し、消費電力の増加となる外部の重ね合わせ手段等を用いることなく、これを実現するためには、データドライバに静止画と動画の 2 種類の表示データを独立して入力し、データドライバ内で重ね合わせれば良い。この点に着目して、本発明の液晶データドライバは、データインターフェースを静止画用と動画用の 2 ポート設け、CPU からの静止画データを格納し、

1 走査電極分のデータを同時に出力するメモリと、動画データをラッチし、1 走査電極分同時に出力する、データラッチ回路と、双方の出力データのどちらかを動画表示位置信号により選択し液晶駆動回路に出力するセレクト手段を設けた。また、静止画のみ表示する場合において、動画データのラッチ動作は余分な電力を消費することになるため、静止画のみ表示する時は動画データのラッチクロックをマスクする回路を設けた。

【 0 0 1 1 】

【作用】液晶データドライバ内に CPU からの表示データを直接取り込むメモリを内蔵することにより、表示データが液晶ドライバへ転送されるまでのメモリやデータ変換回路が不要となると共に、転送速度が遅くなるため、消費電力が低減する。また、液晶データドライバのデータインターフェースを静止画用と動画用の 2 ポート設け、それぞれのデータを内部で重ね合わせることで、静止画データと動画データの重ね合わせ表示に対応させた。これにより、外部の重ね合わせ手段等が不要となり、消費電力が低減する。さらに、動画データ用のデータラッチ手段は、動画表示命令のないときには動作しないため、静止画のみ表示する時の消費電力を抑えることができる。

【 0 0 1 2 】

【実施例】以下、本発明の実施例を、図 1 および図 6 ～ 図 1 0 を用いて説明する。

【 0 0 1 3 】図 1 は本発明の一実施例の液晶データドライバおよび液晶表示装置の構成を示すブロック図である。

【 0 0 1 4 】図 1 において、1 0 1 はカラー液晶パネルであり、本例では横 N ドット、縦 M ドット、RGB 縦ストライプで構成されるものとする。1 0 2 は本発明の一実施例のデータドライバであり、1 0 3 は動画データラッチ回路、1 0 4 は汎用のインターフェースをもつ静止画表示メモリ、1 0 5 はデータセクタ、1 0 6 は、セレクトデータラッチ回路、1 0 7 は液晶駆動回路である。1 0 8 は日立製 HD 6 6 2 1 4 で代表される走査ドライバである。1 0 9 は動画データで、1 1 0 は動画データ 1 0 9 に同期したデータクロック、1 1 1 はラインクロックで、ラインクロック 1 1 1 の 1 周期で 1 ライン分の動画データが送られる。1 1 2 は交流化信号で、この信号の状態では液晶セルに印加する電圧の極性を決める。1 1 3 はフレームクロックで、フレームクロック 1 1 3 の 1 周期は 1 フレーム期間である。1 1 4 は動画表示信号であり、この信号の状態では動画表示の有無を決める。1 1 5 は動画コントローラであり、動画データ 1 0 9、ドライバ制御信号 1 1 0 ～ 1 1 3、動画表示信号 1 1 4 を生成する。1 1 6 は静止画データ、1 1 7 はメモリ制御信号群であり、これらはデータドライバ 1 0 2 に内蔵されたメモリへの書き込み、アドレスを制御する信号である。1 1 8 は CPU で、静止画データ、メモリ制御

信号群を出力する。1 1 9 はデータラッチクロック生成回路であり、データクロック 1 1 0 と動画表示信号 1 1 4 からデータラッチクロック 1 2 0 を生成する。1 2 1 は本発明の一実施例の液晶データドライバを用いた液晶表示装置である。

【 0 0 1 5 】まず、本発明の一実施例の液晶データドライバ 1 0 2 の動作について、図 6 に示すタイミングチャートを用いて説明する。

【 0 0 1 6 】動画データラッチ回路 1 0 3 は、動画データ 1 0 9 をデータラッチクロック 1 2 0 で順次ラッチし、1 走査電極分の液晶表示データを取り込むと、これらをラインクロック 1 1 1 の立上がりに同期して出力する。ここで、図 6 に示すように、動画データ 1 0 9 は表示データ 1 0 9 a とは別に動画の表示位置を決定するための位置データ 1 0 9 b を含み、この位置データ 1 0 9 b もまたデータラッチクロック 1 2 0 で順次ラッチされ、1 走査電極分の位置データがラインクロック 1 1 1 の立上がりに同期して出力される。ここで、位置データ 1 0 9 b に " 0 " をもつ表示データ 1 0 9 a (図 6 における b 1, b 5, b N など) は、セレクトされないデータであることから、その値は任意でよい。

【 0 0 1 7 】一方、静止画表示メモリ 1 0 4 は、静止画データ 1 1 6 をメモリ制御信号群で指定されるアドレスに格納すると共に、1 走査電極分の静止画データをラインクロック 1 1 1 の立上りに同期して出力する。データセクタ 1 0 5 は、セレクト信号である位置データ 1 0 9 b が " 1 " の時には動画データを、" 0 " の時には静止画データを選択して出力する。そして、セレクトデータラッチ回路 1 0 6 は、選択された表示データをラインクロック 1 1 1 の立ち下がりではラッチし出力する。液晶駆動回路 1 0 7 は、セレクトデータラッチ回路 1 0 6 からの表示データと、交流化信号 1 1 2 との組み合わせに応じて適当な液晶駆動電圧を選択し、液晶パネルのデータ電極に出力する。

【 0 0 1 8 】次にデータラッチクロック生成回路 1 1 9 の動作について、図 7 の動作説明図および図 8 のタイミングチャートを用いて説明する。データラッチクロック生成回路 1 1 9 の動作目的は、静止画のみ表示する場合、動画データラッチ回路 1 0 3 のクロック入力を止めて、無駄な電力消費を防ぐことにある。これを実現するため、データラッチクロック生成回路 1 1 9 は、図 7 に示すように、動画表示信号 1 1 4 が " 1 " 即ち動画を表示する時はデータクロック 1 1 0 の状態をそのままデータラッチクロック 1 2 0 として出力し、" 0 " 即ち動画を表示しない時は " 0 " を出力する。これは、動画表示信号 1 1 4 とデータラッチクロック 1 2 0 の論理積をとることで簡単に実現可能である。なお、本実施例における動画表示信号の切り替わりタイミングは、簡略化のため、フレームクロック 1 1 3 の立上りと一致するものとする。したがって、データラッチクロック生成回路 1 1

9のタイミングチャートは図8に示すようになる。

【0019】本実施例では、動画表示の表示判定をフレーム毎に行ない、データラッチクロックのマスクを行なっているが、さらにシステム低消費電力化を図るためには、動画表示をラインで判定し、動画を表示しないラインでは動画データとデータラッチクロックの転送を停止すればよい。そして、その間データセクタ105は静止画をセレクトしていることが必要となる。この動作は、例えば、位置データ用のデータラッチ回路が、セクタラインクロック111の“ハイ”で毎回“0”にリセットされるようにすれば実現できる。すなわち、動画データとデータラッチクロックが転送されない限りは、セレクト信号である位置データ109bは“0”のままであり、データセクタ105は静止画データを選択し続けることができるわけである。なお、動画データおよびデータラッチクロックの出力制御は、動画コントローラで行なうことが望ましい。

【0020】また、走査ドライバの動作は従来の走査ドライバと同様であり、フレームクロック113の“ハイ”期間をラインクロック111の立下がりに取り込み、その後ラインクロック111によって取り込みデータをシフトし、交流化信号112との組み合わせに応じて適当な液晶駆動電圧を選択して液晶パネルの走査電極に出力する。

【0021】以上説明した本発明の一実施例の液晶表示装置121を用いて、静止画と動画を重ね合わせて表示する小型情報機器の表示システム構成は、図9のようになる。まず、CPU118からの静止画データ109、メモリ制御信号群116は、直接液晶表示装置121に出力される。一方、動画ファイル408は、CPU118から動画の表示とその位置を指定する動画表示命令409を受けると、動画ファイル出力データ410を出力する。そして、動画用表示コントローラ115は、動画ファイル出力データ410と動画用表示コントローラ制御信号群403から動画メモリを介して動画データ109、およびドライバ制御信号群110～113を生成し、また、入力される動画表示命令409を変換し、動画を表示するフレームでは“1”、表示しないフレームでは“0”となるような動画表示信号114を生成する。これらの信号を液晶表示装置121へ出力する。

【0022】以上説明したように、本発明の一実施例における液晶データドライバは、CPUからの静止画データを直接アクセスできるメモリと、動画データを独立して取り込むデータラッチ回路と、両者を重ね合わせる処理部をもつ。したがって、動画と静止画の重ね合わせ表示のシステムに対し、CPUデータの変換、重ね合わせ処理等の外部回路が不要となる。よって、従来に比べて低消費電力な重ね合わせ表示システムが実現可能である。

【0023】また、動画部分の色数を増やした表示は、

図10に示すように動画データと液晶表示装置の間でFRC、ディザ等の階調処理等を行なうことで実現できる。

【0024】なお、本発明の一実施例は、液晶パネルの素子構成によらず、例えばSTN型液晶、TFT型液晶、MIM型液晶などに応用可能である。

【0025】次に本発明第2の実施例を示す。本発明第2の実施例は、液晶データドライバ内に階調処理機能を設け、より多色な表示画面を提供するものである。以下、本発明第2の実施例では、液晶パネルを単純マトリックス型液晶（例えばSTN型液晶）とし、パルス振幅変調方式（以下PHM方式と呼ぶ）を用いて階調表示する場合について、図11～図15を用いて説明する。

【0026】本実施例では、階調数を4階調（入力階調データ2ビット）として説明する。

【0027】図11は本発明第2の実施例の液晶データドライバの構成を示すブロック図である。図11において、1101は本発明第2のデータドライバであり、1102は動画データラッチ回路、1103は汎用のインターフェースをもつ静止画表示メモリ、1104はデータセクタ、1105はセレクトデータラッチ回路、1106はPHM回路、1107は液晶駆動回路である。1108は動画コントローラから転送される動画データであり、本例では2ビットの階調情報を有する。1109はCPUから転送される静止画データであり、動画データと同様2ビットの階調情報を有する。また、1110は液晶を駆動するための8レベルの電源電圧である。なお、ドライバ制御信号111～114と動画表示信号120は本発明の一実施例で示したものと等しい。

【0028】本発明第2の実施例の液晶データドライバ1101の動作について説明する。

【0029】動画データラッチ回路1102は、動画データ1108の階調上位データ、下位データ、位置データを、それぞれデータラッチクロック120で順次ラッチし、1走査電極分のデータを取り込むと、これらをラインクロック111の立上がりに同期して出力する。また、静止画表示メモリ1103は、階調上位データ用と下位データ用の2プレーンを有し、静止画データ116をメモリ制御信号群で指定されるアドレスに格納すると共に、1走査電極分の静止画データをラインクロック111の立上りに同期して出力する。データセクタ1104は動画データ1108に含まれる位置データが“1”の時には動画データを、“0”の時には静止画データを、それぞれ階調上位データと下位データごとに選択して出力する。そして、セレクトデータラッチ回路1105は、選択された表示データをラインクロック111の立ち下がりでラッチして出力する。PHM回路1106は、走査期間（ラインクロック周期）を2分割し、前半期間では階調上位データに対応した表示上位データが、後半期間では階調下位データに対応した表示下位デ

ータが出力されるように、階調データを変換する。液晶駆動回路1107は、PHM回路1106から出力される表示データと、交流化信号112との組み合わせに応じて液晶駆動電圧を選択し、液晶パネルのデータ電極に出力する。

【0030】ここで、PHM回路1106の構成を図12に示す。図12において、1201は階調上位データ、1202は階調下位データ、1203セレクト信号生成回路、1204はセレクト信号、1205は表示データ生成セクタ、1206は表示上位データ、1207は表示下位データである。セレクト信号生成回路1203は、ラインクロック111の“ハイ”で“1”にプリセットされ、その後データラッチクロック120の数をカウントし、そのカウント値が走査期間内にカウントされるカウント値の半分になったとき“0”を出力するように動作する。表示データ生成セクタ1204は、セレクト信号生成回路1201で生成されるセレクト信号1202が“1”の時階調上位データを選択し、“0”の時階調下位データを選択し、これを表示下位データ1207として出力する。ここで、表示上位データ1206は、階調上位データ1201となる。つまり、PHM回路は、走査期間の前半期間においては表示上位データ、下位データ共に階調上位データが出力され、後半期間においては表示上位データに階調上位データ、表示下位データに階調下位データが出力されるように動作する。

【0031】次に、液晶駆動回路1107は、図13に示すように、PHM回路1106から送られる表示オンを“1”とする表示データ1206、1207と交流化信号112の組み合わせに応じ、電圧レベルV0～V7のうち1つの電圧値を選択して出力する。電圧レベルV0～V7の関係は、図14に示すように、 $V0 > V1 > V2 > V3 > V4 > V5 > V6 > V7$ である。なお、走査ドライバの非選択走査電圧レベルは、交流化信号112が“0”の時V9、“1”の時V8であり、V9はV5とV6の中間レベル、V8はV1とV2の中間レベルである。また、選択走査電圧レベルは、交流化信号112が“0”の時V0、“1”の時V7となる。

【0032】PHM回路1106と液晶駆動回路1107の機能をタイミングチャートにまとめると、図15のようになり、静止画の部分についても4階調64色の表示が可能となる。

【0033】以上説明したように、本発明第2の実施例における液晶データドライバは、CPUからの静止画階調データを直接アクセスできるメモリと、動画階調データを独立して取り込むデータラッチ回路と、両者を重ね合わせる処理部と、階調データを液晶階調表示用に変換する階調処理部をもつ。したがって、単純マトリクスパネルを有する液晶表示装置について、本発明の一実施例の効果に加え、静止画部分の色数を増やすことが可能

である。

【0034】さらに、動画部分に関しては、図10に示した外部の階調処理等と組み合わせることできるため、更に色数を増やすことが可能である。

【0035】なお、本実施例の階調ビット数は2ビットとしたが、さらにビット数を増やして多色表示を行うためには、データラッチ回路とメモリのブレン、および走査期間の分割数と選択電圧のレベル数を増やせばよい。また、本実施例では液晶ドライバ内における階調処理方法をPHM方式としたが、これに限られたわけではなく、例えばパルス幅変調方式や前記のFRC方式、ディザ方式を用いてもよい。

【0036】本発明第2の実施例では、単純マトリクス型液晶（例えばSTN型液晶）パネルを対象とした。これに対し、本発明第3の実施例では、アクティブマトリクス型液晶（例えばTFT型液晶）パネルにおいて静止画像の多色化を実現する、液晶データドライバについて示す。なお、本実施例についても、本発明第2の実施例と同様、階調数を4階調（入力階調データ2ビット）として説明する。以下、本発明第3の実施例について、図16、図17を用いて説明する。図16は本発明第3の実施例の液晶データドライバの構成を示すブロック図である。図16において、1601は本発明第3のデータドライバであり、1602は液晶駆動回路、1603は液晶を駆動するための4レベルの電源電圧である。その他の部分は、本実施例第2の実施例で示したものと同じ。

【0037】本発明第3の実施例の液晶データドライバ1601の動作について説明する。

【0038】動画データラッチ回路1102は、動画データ1108の階調上位データ、下位データ、位置データを、それぞれデータラッチクロック120で順次ラッチし、1走査電極分のデータを取り込むと、これらをラインクロック111の立上がりに同期して出力する。また、静止画表示メモリ1103は、階調上位データ用と下位データ用の2ブレンを有し、静止画データ116をメモリ制御信号群で指定されるアドレスに格納すると共に、1走査電極分の静止画データをラインクロック111の立上に同期して出力する。データセクタ1104は動画データ1108に含まれる位置データが“1”の時には動画データを、“0”の時には静止画データを、それぞれ階調上位データと下位データごとに選択して出力する。そして、セレクトデータラッチ回路1105は、選択された表示データをラインクロック111の立ち下がりでもラッチして出力する。液晶駆動回路1602は、図17に示すように、セレクトデータラッチ回路1105から出力される表示データと、交流化信号112との組み合わせに応じ、4レベルの液晶駆動電圧1603のうち1つの電圧値を選択して出力する。電圧レベルV0～V7の関係は、 $V0 > V1 > V2 > V3 > V$

4である。

【0039】以上説明したように、本発明第3の実施例における液晶データドライバは、CPUからの静止画階調データを直接アクセスできるメモリと、動画階調データを独立して取り込むデータラッチ回路と、両者を重ね合わせる処理部と、階調データに対応した電圧を出力する液晶駆動回路をもつ。したがって、アクティブマトリックスパネルを有する液晶表示装置について、本発明の一実施例の効果に加え、静止画部分の色数を増やすことが可能である。

【0040】さらに、動画部分のに関しては、図10に示した外部の階調処理等と組み合わせることできるため、更に色数を増やすことが可能である。

【0041】なお、本実施例の階調ビット数は2ビットとしたが、さらにビット数を増やして多色表示を行うためには、データラッチ回路およびメモリのプレーンと選択電圧のレベル数を増やせばよく、また、FRCなどの階調処理を内蔵してもよい。

【0042】

【発明の効果】液晶データドライバ内にCPUからの表示データを直接取り込むメモリを内蔵することにより、表示データが液晶ドライバへ転送されるまでのメモリやデータ変換回路が不要となると共に、転送速度が遅くなるため、従来に比べて消費電力が低減する。また、液晶データドライバのデータインターフェースを静止画用と動画用の2ポート設け、それぞれのデータを内部で重ね合わせることで、静止画データと動画データの重ね合わせ表示に対応することができる。これにより、外部の重ね合わせ手段等が不要となり、消費電力が低減する。さらに、動画データ用のデータラッチ手段は、動画表示命令のないときには動作しないため、静止画のみ表示する時の消費電力を抑えることができる。また、外部に階調処理回路を設けることにより動画部分の色数を増やすことが出来る。さらに、液晶データドライバ内に階調処理回路を設けることにより、静止画の色数も増やすことが出来る。

【図面の簡単な説明】

【図1】本発明のマトリックス表示装置の第1実施例のブロック図である。

【図2】従来の液晶表示装置のブロック図である。

【図3】静止画像と動画画像の重ね合わせ表示を示す図である。

【図4】図3の画像を実現するシステムの構成図である。

【図5】従来のメモリ内蔵ドライバを有する液晶表示装置のブロック図である。

【図6】図1のデータドライバの動作を示すタイムチャートである。

【図7】図1のデータラッチクロック生成回路の動作説明図である。

【図8】図1のデータラッチクロック生成回路の動作を示すタイムチャートである。

【図9】図1の液晶表示装置を用いて図3の画像を実現するシステムの構成図である。

【図10】図9のシステムに階調処理機能を設けたときのシステム構成図である。

【図11】本発明の液晶表示装置の第2実施例のブロック図である。

【図12】図11のPHM回路の構成図である。

10 【図13】図11の液晶駆動回路の動作説明図である。

【図14】図11の液晶駆動回路に液晶駆動電圧の電圧関係を示す図である。

【図15】図11のデータドライバの動作を示すタイムチャートである。

【図16】本発明の液晶表示装置の第3実施例のブロック図である。

【図17】図16の液晶駆動回路の動作説明図である。

【符号の説明】

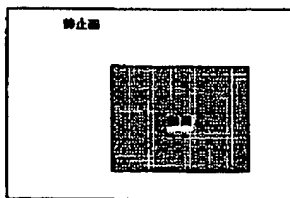
- 101…液晶パネル、
- 102…データドライバ、
- 103…動画データラッチ回路、
- 104…表示メモリ、
- 105…データセクタ、
- 106…セレクトデータラッチ回路、
- 107…液晶駆動回路、
- 108…走査ドライバ、
- 109…動画データ、
- 110…データクロック、
- 111…ラインクロック、
- 30 112…交流化信号、
- 113…フレームクロック、
- 114…動画表示信号、
- 115…動画コントローラ、
- 116…静止画データ、
- 117…メモリ制御信号群、
- 118…CPU、
- 119…データラッチクロック生成回路、
- 120…データラッチクロック、
- 121…液晶表示装置、
- 40 201…液晶パネル、
- 202…データドライバ、
- 202a…データラッチ回路、
- 202b…液晶駆動回路、
- 203…走査ドライバ、
- 203a…シフトレジスタ回路、
- 204b…液晶駆動回路、
- 204…液晶表示データ、
- 205…フレームクロック、
- 206…ラインクロック、
- 50 207…データラッチクロック、

208...交流化信号、
 209...液晶コントローラ、
 210...CRT用表示データ、
 211...同期信号群、
 212...液晶表示装置、
 401...CPU、
 402...CPU出力データ、
 403...静止画用表示コントローラ制御信号群、
 404...静止画用表示コントローラ、
 405...静止画メモリ、
 406...静止画データ、
 407...静止画同期信号群、
 408...動画ファイル、
 409...動画表示命令、
 410...動画ファイル出力データ、
 411...動画用表示コントローラ制御信号群、
 412...動画用表示コントローラ、
 413...動画メモリ、
 414...動画データ、
 415...動画同期信号群、
 416...重ね合わせ手段、
 501...液晶表示装置、
 502...液晶データドライバ、

503...表示メモリ、
 504...走査ドライバ、
 505...ドライバ制御信号群、
 1101...データドライバ、
 1102...動画データラッチ回路、
 1103...静止画表示メモリ、
 1104...データセクタ、
 1105...セレクトデータラッチ回路、
 1106...PHM回路、
 10 1107...液晶駆動回路、
 1108...動画データ、
 1109...静止画データ、
 1110...液晶駆動電源電圧群、
 1201...階調上位データ、
 1202...階調下位データ、
 1203...セレクト信号生成回路、
 1204...セレクト信号、
 1205...表示データ生成セクタ、
 1206...表示上位データ、
 20 1207...表示下位データ、
 1601...データドライバ、
 1602...液晶駆動回路、
 1603...液晶駆動電源電圧群。

【図3】

図 3



【図4】

図 4

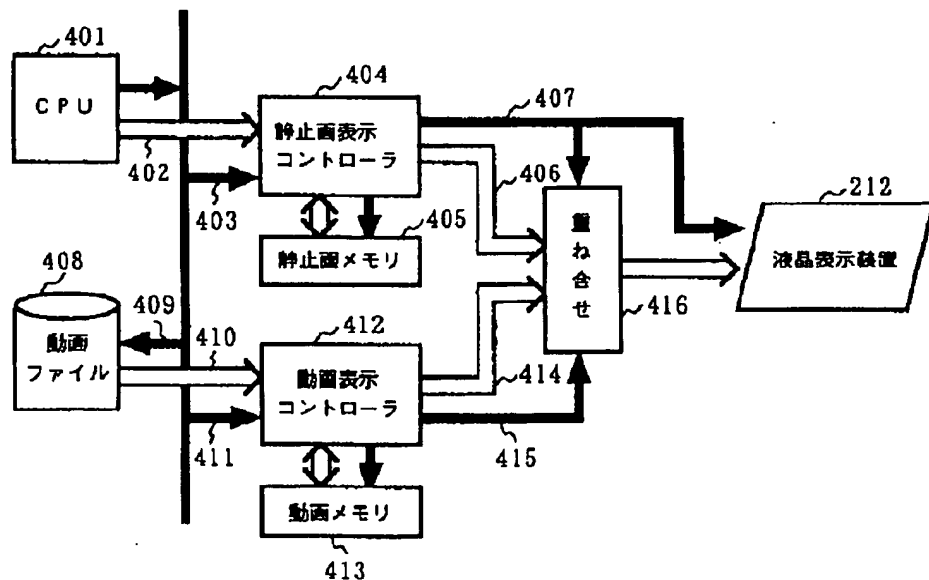


图 1

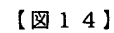
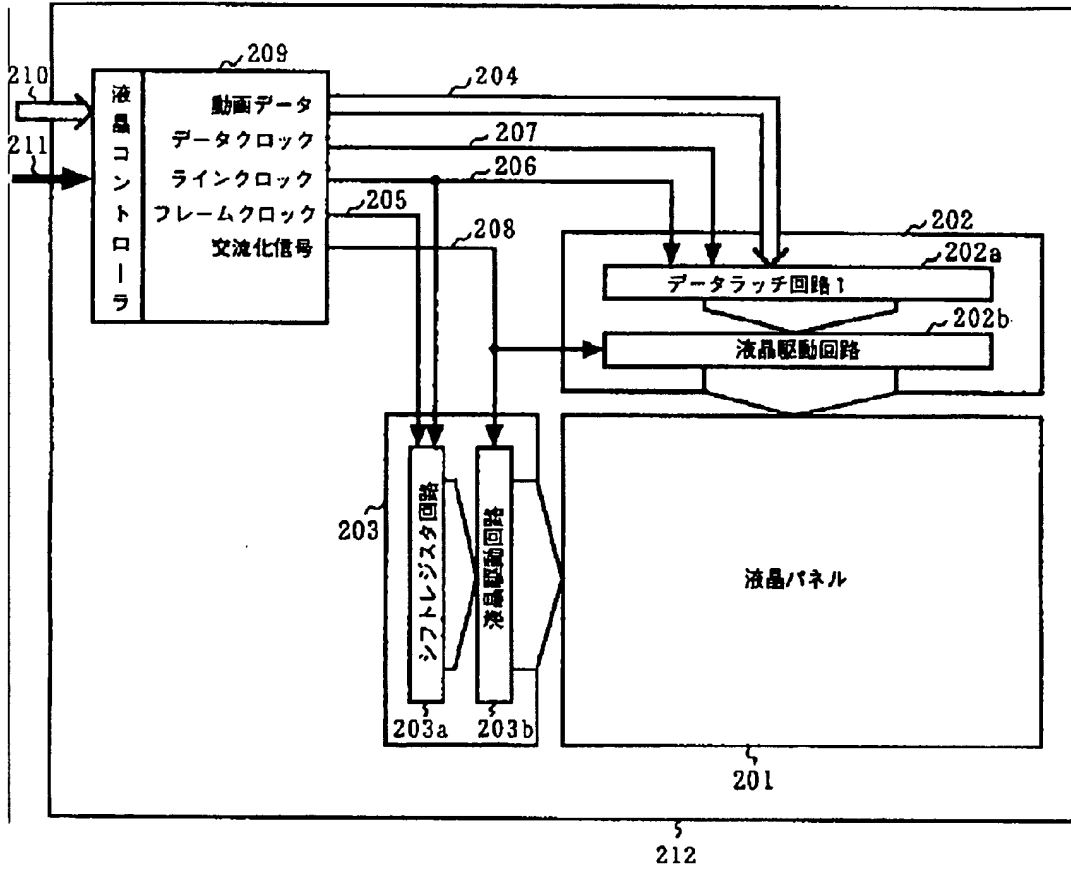


圖 14

Figure 1: Pin assignment diagram for the 80C86. The diagram shows two vertical columns of pins. The left column is labeled 'アドレス入力電圧' (Address input voltage) and the right column is labeled 'データドライバ入力電圧' (Data driver input voltage). The pins are numbered V0 through V7 on both sides. The address pins are connected to the data pins in a specific pattern: V0 to V3 are connected to V0-V3, V4 to V7 are connected to V4-V7, and V8 to V11 are connected to V8-V11.

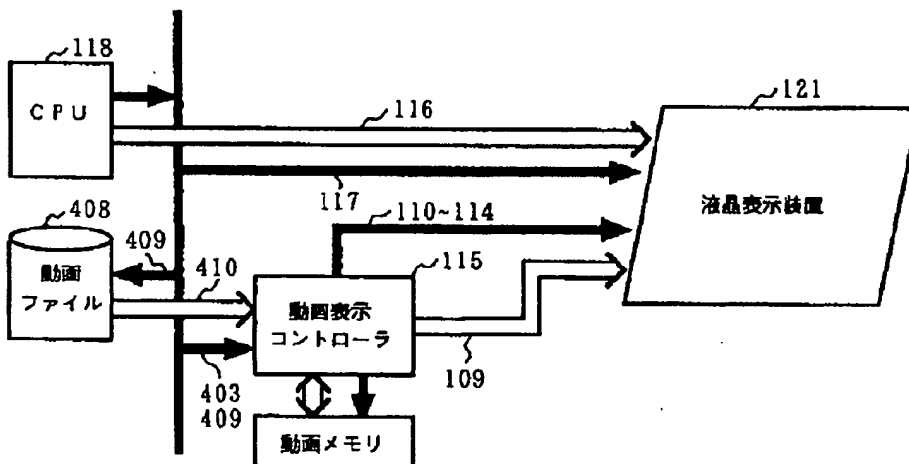
【図 2】

図 2



【図 9】

図 9



【図 13】

図 13

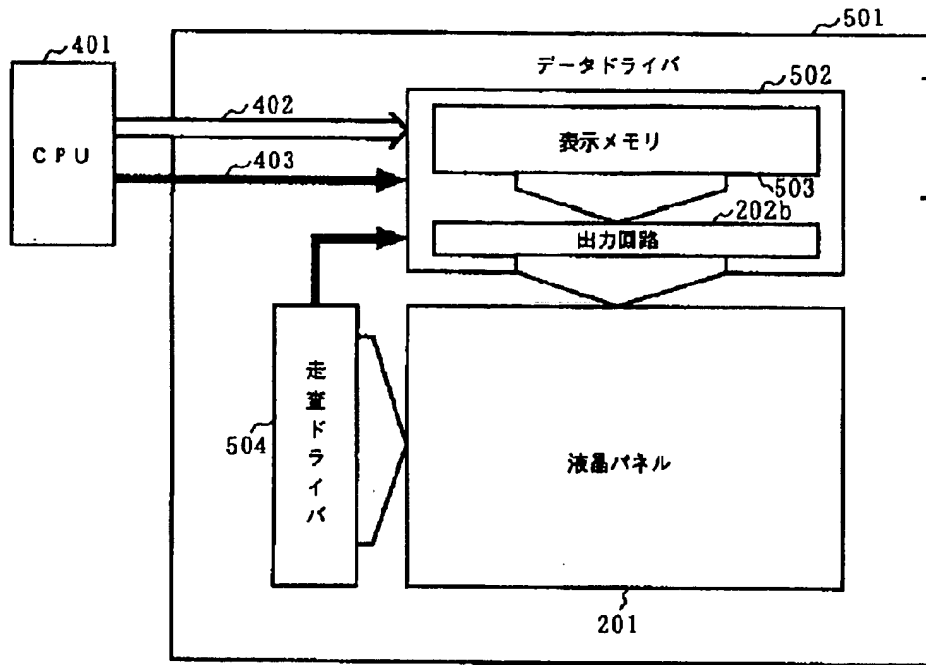
交流化信号	画面上位データ	画面下位データ	出力電圧
0	0	0	V4
	0	1	V5
	1	0	V6
	1	1	V7
1	0	0	V3
	0	1	V2
	1	0	V1
	1	1	V0

【図 5】

【図 17】

図 5

図 17



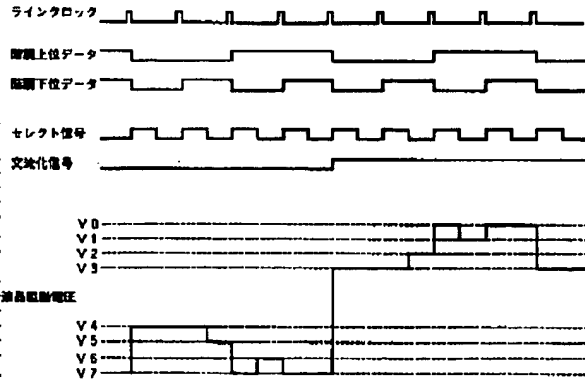
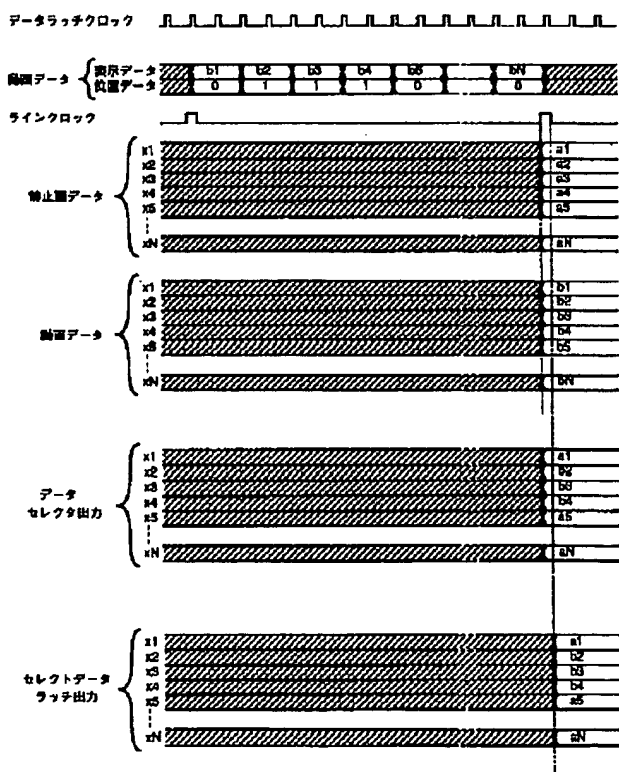
文庫化番号	画面上位データ	画面下位データ	出力電圧
0	0	0	V0
	0	1	V1
	1	0	V2
	1	1	V3
1	0	0	V3
	0	1	V2
	1	0	V1
	1	1	V0

【図 6】

【図 15】

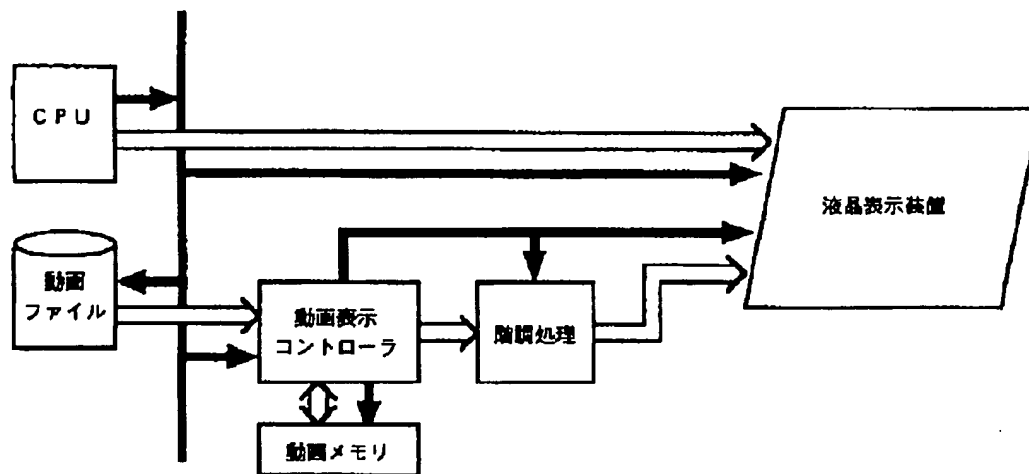
図 6

図 15



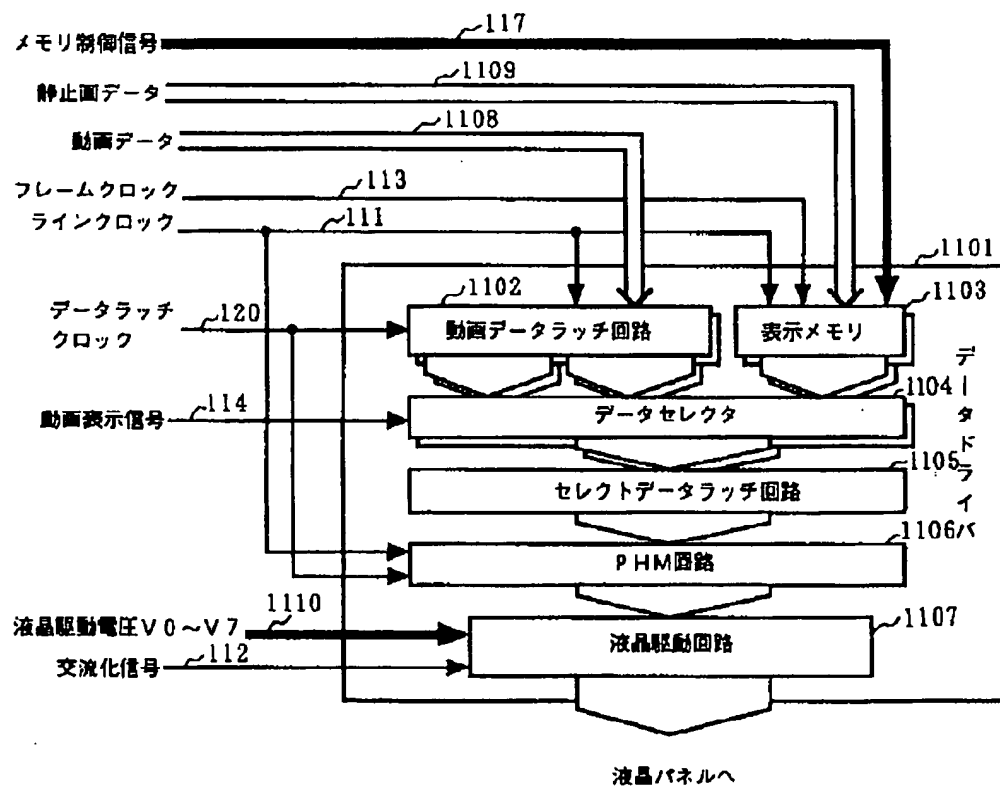
【図 10】

図 10



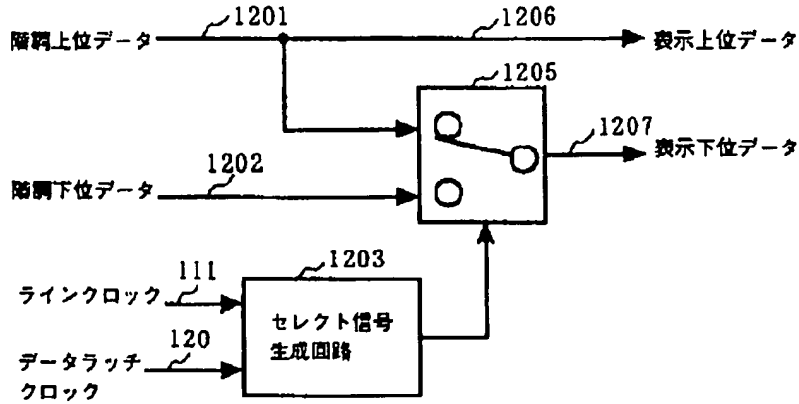
【図 11】

図 11



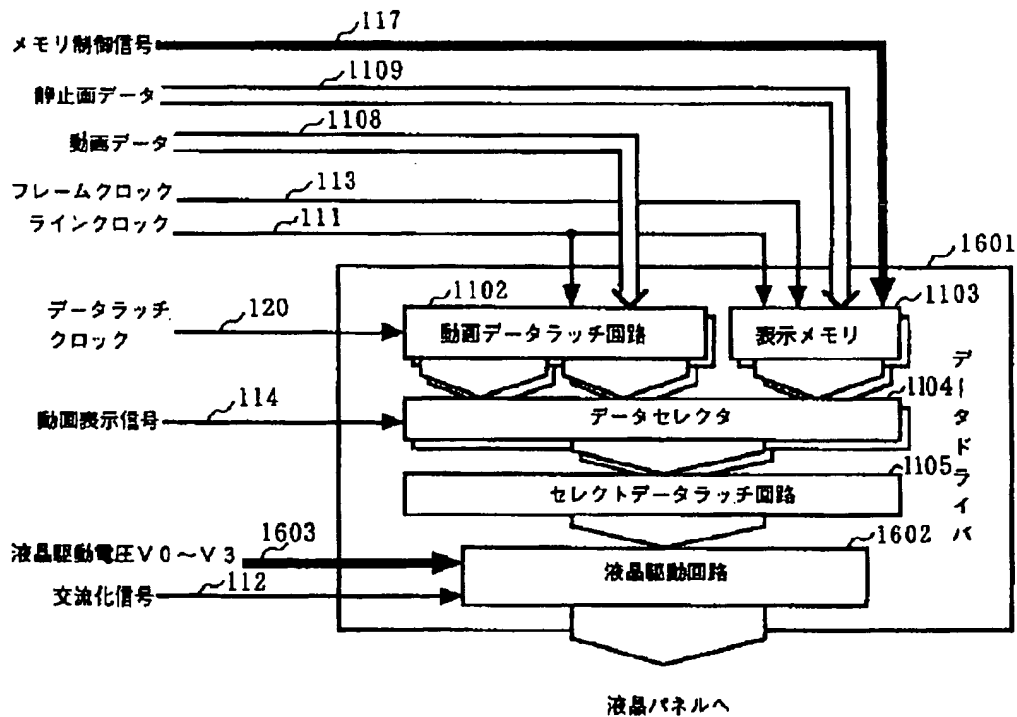
【図 1 2】

図 12



【図 1 6】

図 16



フロントページの続き

- (72) 発明者 古橋 勉
 神奈川県川崎市麻生区王禅寺 1099 番地
 株式会社日立製作所システム開発研究所内
- (72) 発明者 恒川 悟
 東京都小平市上水本町五丁目 20 番 1 号株
 式会社日立製作所半導体事業部内

- (72) 発明者 二見 利男
 千葉県茂原市早野 3300 番地株式会社日
 立製作所電子デバイス事業部内
- (72) 発明者 西谷 茂之
 神奈川県川崎市麻生区王禅寺 1099 番地
 株式会社日立製作所システム開発研究所内

- (72) 発明者 大石 純久
神奈川県川崎市麻生区王禅寺 1 0 9 9 番地
株式会社日立製作所システム開発研究所内
- (72) 発明者 犬塚 達裕
神奈川県横浜市戸塚区吉田町 2 9 2 番地株
式会社日立画像情報システム内